

概要

IMG-Pro5 ボードは、El Capitan ロジック開発システムに収容し、System-SXII ボードと連携して、画像入出力機能を提供する画像インタフェースボードです。

El Capitan には、最大 4 台の IMG-Pro5 を装着できるので、1 台の System-SXII ボードで 4 系統の画像インタフェースを独立して制御することができます。

El Capitan システムに IMG-Pro5 を追加することで、大規模な画像処理システムを構築することができます。

特長

✓ DVI シングル・リンク

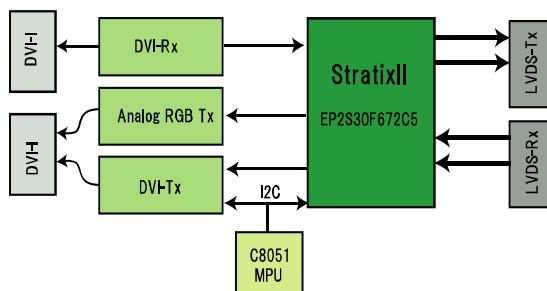
- 最大解像度 WUXGA
- DVI-I 仕様コネクタ
- 送信(Tx)、受信(Rx) 各1チャンネル

✓ LVDS インタフェース搭載

- 6Gbps のデータ帯域で System-SXII とインタフェースすることができます

✓ アナログ RGB 出力

- 240MHz 動作に対応した アナログ RGB 出力を 1 チャンネル用意、DVI-Tx 側の DVI-I コネクタに収容



IMG-Pro5 ボード・ブロック図

ハードウェア仕様

1. DVI 入出力部

TI 社製 TFP410 (トランスミッタ)、TFP401A (レシーバ) IC を採用し、WUXGA までの解像度に対応します。

トランスミッタ IC には、IIC バスによるチップ内レジスタ制御が可能です。

2. アナログ RGB 出力

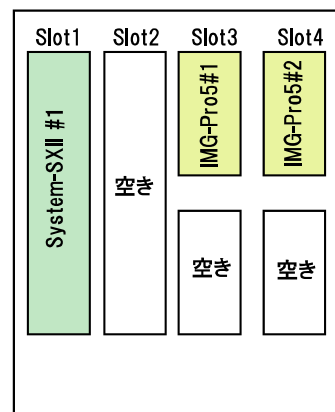
TI 社製 THS8135 を採用し、汎用 DAC モードで動作します。アナログ RGB と DVI-Tx は同じ DVI-I コネクタに収容しています。

3. LVDS 対応インタフェース

LVDS を実現する FPGA には、アルテラ社 StratixII デバイスを採用しています。

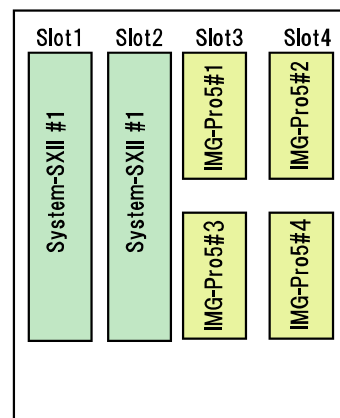
送信、受信共に 9ch + クロック 1ch を 1 グループとする LVDS 信号を 2 グループ装備します。これらの LVDS 信号グループは、El Capitan システムの Slot1 と Slot2 にそれぞれ 1 グループずつ接続します。

下図は、El Capitan システムに System-SXII 1 台と IMG-Pro5 2 台を装着した例です。



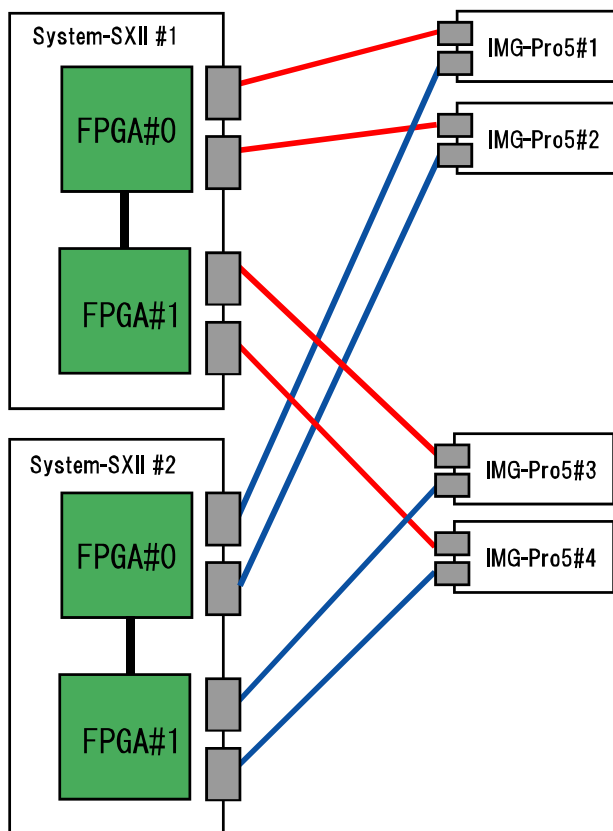
<図 1. El Capitan スロット構成例>

下図は、Slot1 と Slot2 に System-SXII を装着し、3U スロットエリアの Slot3 と Slot4 に IMG-Pro5 を 4 台装着した例



<図 2. El Capitan スロット構成例>

El Capitan システム内での LVDS 配線図



<図 3. El Capitan 内の LVDS 配線図>

図 3 で示す赤線は、El Capitan システムの上側 3U スロットに装着した IMG-Pro5U と System-SXII の配線を示します。同様に、青線は IMG-Pro5L と System-SXII 間の配線を示します。

図の通り、System-SXII の FPGA#0 は、IMG-Pro5U と LVDS インタフェースし、FPGA#1 は、IMG-Pro5L とのインタフェースになります。

例えば、FPGA#0 に画像処理回路を集約したい場合、IMG-Pro5L とインタフェースするデータは、System-SXII の FPGA#1 が取り扱いますが、FPGA 間信号線 (図中の FPGA を結ぶ黒太線) を利用することで、FPGA#0 にデータを集約できます。

ボード電源仕様

電源電圧

El Capitan に収容し、以下の給電を受けます
3.3V (±10%)、12V (±10%)

ボード消費電流

N/A

製品モデル構成

製品発注コード

IMG-Pro5U

(El Capitan システムの 3U スロットエリア上側に装着するボードです)

IMG-Pro5L

(El Capitan システムの 3U スロットエリア下側に装着するボードです)

お問い合わせ

開発製造販売元

有限会社プライムシステムズ

TEL:0266-70-1171 FAX:0266-70-1172

E-mail: info@prime-sys.co.jp

URL <http://www.prime-sys.co.jp>