

## アルテラ社ツール”Qsys”を利用した Smart-USB Plus 製品用リファレンス回路 SRAM-FIFO モジュール

### 1. SRAM-FIFO モジュールとは？

Smart-USB Plus 製品に搭載する高速同期 SRAM を FIFO 化するモジュールです。アルテラ社 AVALON バス仕様に準拠しています。既に提供している GPIF-AVALON ブリッジ(SUA006 アプリケーションノート参照)と組み合わせることで、Nios2 プロセッサを使用しなくても、ボード外部のシステムとデータの受信、送信を SSRAM でバッファリングしながら PC と簡単に通信できます。

バスマスタである Nios2 プロセッサを使わず、GPIF-AVALON ブリッジを利用するので、組み込みソフトの開発が不要で、設計期間を大幅に削減することが可能になりました。

(注)GPIF-AVALON ブリッジ Ver1.6 以降を使用してください。最新版は Ver1.7 です。

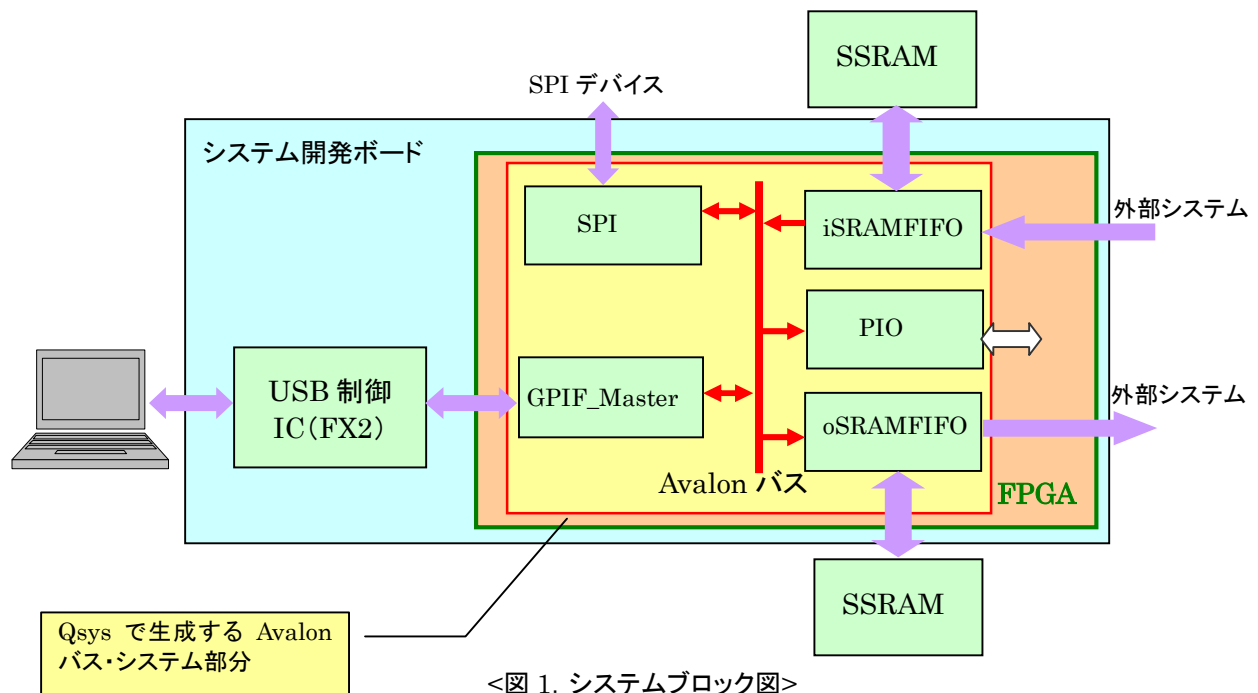
SRAM-FIFO モジュールには、PC からボードへデータを書き出すことができる「oSRAMFIFO モジュール」と、ボードから PC にデータを読み出すことができる「iSRAMFIFO モジュール」の 2 種類があります。1 個の SSRAM に対して 1 個のモジュールを適用することができます。SX-USB3 システム開発ボードのように 72Mbit の SSRAM を 2 個独立バスとして搭載している製品には、SRAM-FIFO モジュールを 2 個適用することもできます。これに対して、SSRAM を 1 個しか搭載していない CX-USB2 システム開発ボードでは、1 個の SRAM-FIFO モジュールだけ適用できます。

#### 【適用製品】

- ・ CX-USB2 システム開発ボード (Cyclone3-FPGA 搭載)
- ・ CX-Card2 システム開発ボード (Cyclone2-FPGA 搭載、IMG-Pro4 装着時)
- ・ SX-USB2 システム開発ボード (Stratix2-FPGA 搭載)
- ・ SX-USB3 システム開発ボード (Stratix3-FPGA 搭載)
- ・ System-SX システム開発ボード (Stratix-FPGA 搭載)
- ・ System-SX2 システム開発ボード (Stratix2-FPGA 搭載)

#### 【適用アプリケーションとモジュール適用のメリット】

最小限の FPGA 設計(HDL コーディング)により、AD/DA コンバータ等を利用した長時間のデータ収集やデータ生成が必要な PC 計測システムを短期間、効率的に開発・実現できます。

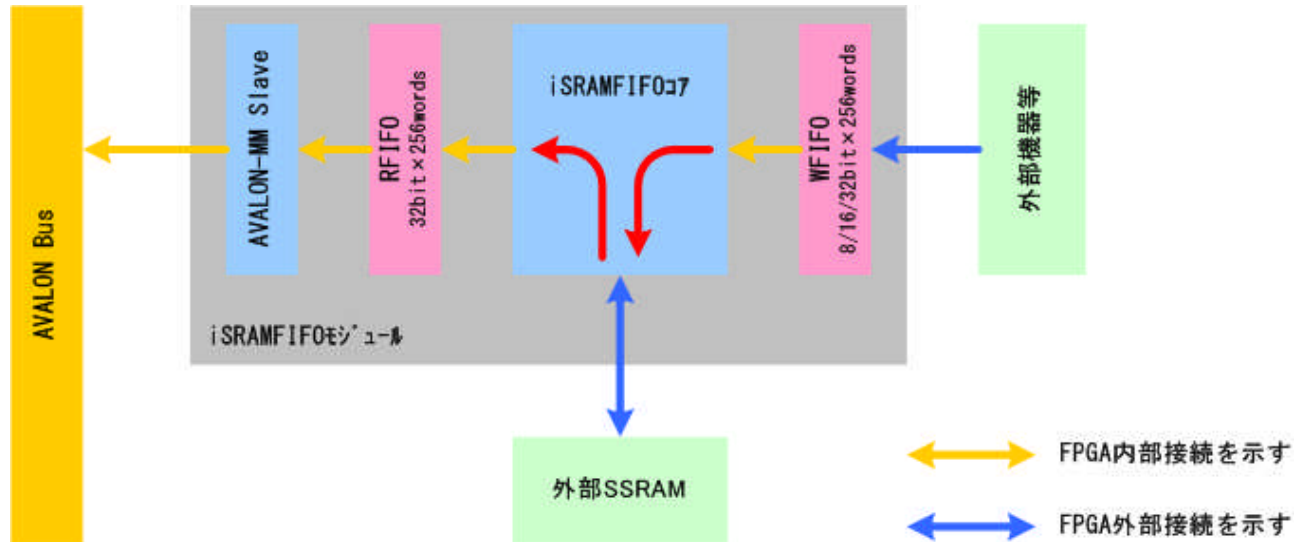


<図 1. システムブロック図>

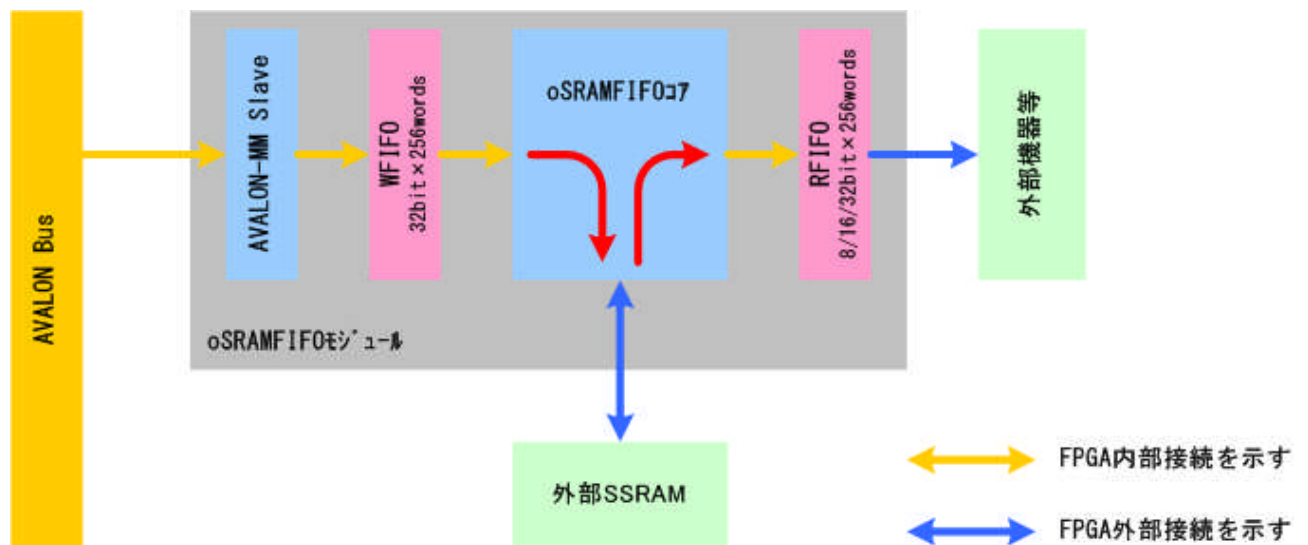
## 2. SSRAM-FIFO モジュールの詳細

### 2.1 モジュール構成

SRAM-FIFO モジュールには、PC にデータを取り込むための「iSRAMFIFO モジュール」と、PC からデータを出力するための「oSRAMFIFO モジュール」があります。



<図 2. iSRAMFIFO モジュールのブロック図>



<図 3. oSRAMFIFO モジュールのブロック図>

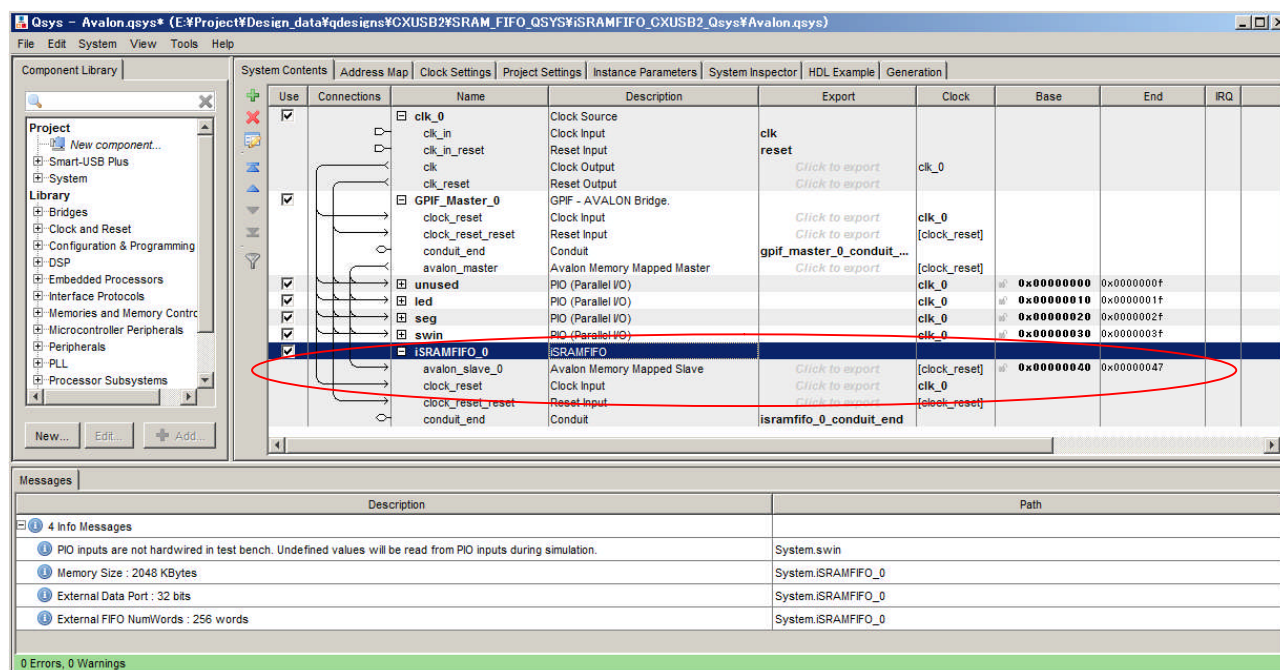
## 2.2 モジュールのファイル構成

### 【iSRAMFIFO モジュールの場合】

iSRAMFIFO_hw.tcl	SOPC Builder 用設定ファイル
iSRAMFIFO.v	iSRAMFIFO トップモジュール (VerilogHDL)
--- RFIFO.v	AVALON バス側 FIFO モジュール
--- DDIO.v	SSRAM クロック駆動用 DDRIO モジュール

### 【oSRAMFIFO モジュールの場合】

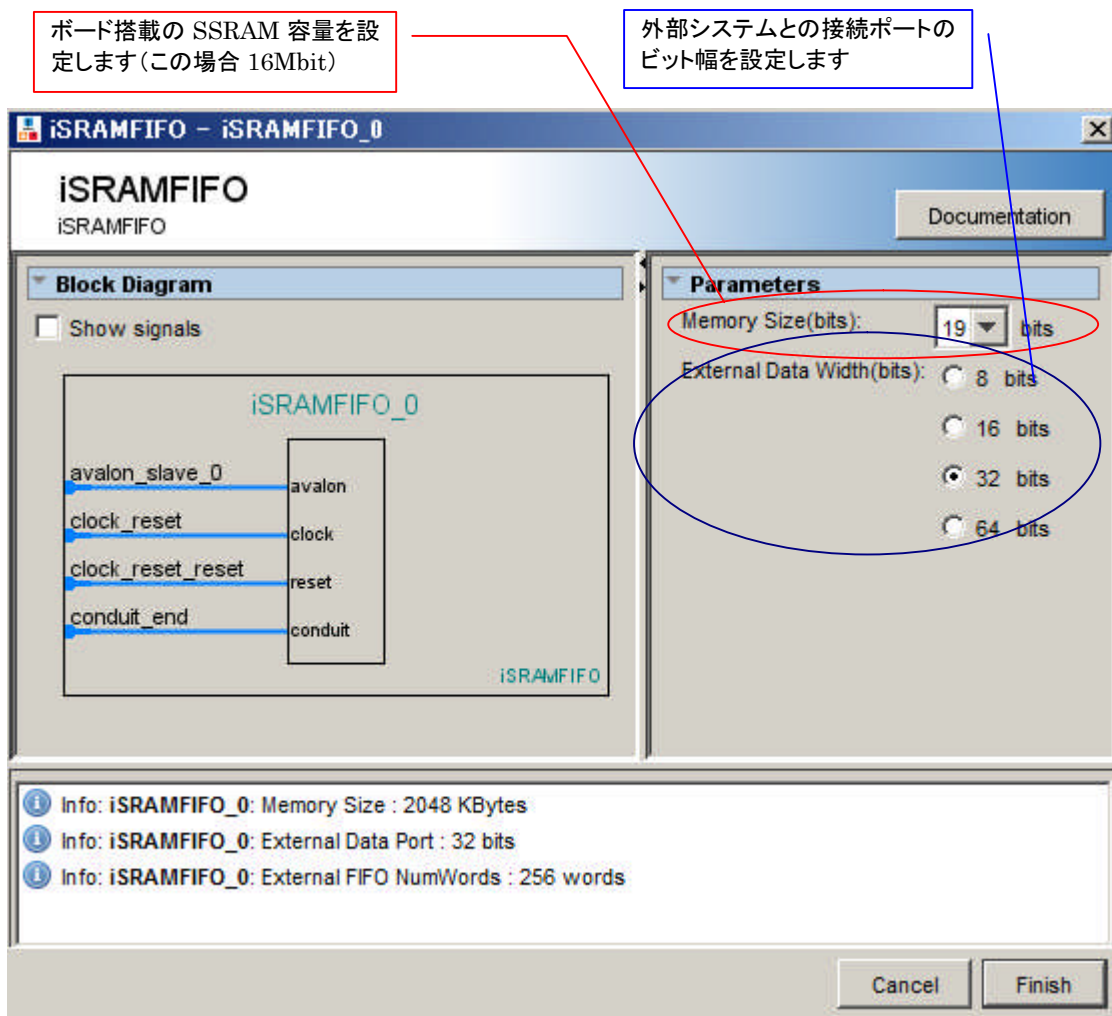
oSRAMFIFO_hw.tcl	SOPC Builder 用設定ファイル
oSRAMFIFO.v	oSRAMFIFO トップモジュール (VerilogHDL)
--- WFIFO.v	AVALON バス側 FIFO モジュール
--- DDIO.v	SSRAM クロック駆動用 DDRIO モジュール



<図 2. Qsys ツール上で、iSRAMFIFO モジュールを Avalon バスに追加した画面>

## 2.3 動作パラメータ (iSRAMFIFO、oSRAMFIFO 共通)

Qsys の GUI から、接続する SSRAM の容量と外部ポートのデータバス幅を変更できます。SSRAM の容量は 256KB~64MB の範囲内で設定してください。外部ポートのデータバス幅は 8/16/32/64 bit のいずれかを選択することができます。このデータ幅設定により、外部ポート側の FIFO の深さが自動的に決まります。そのため、FPGA 内部メモリ構成に違いが発生する場合があります。たとえば図 4 の設定の場合、Cyclone3-FPGA を搭載する CX-USB2 ボードでは、M9K メモリブロックを 1 個使います。Stratix2-FPGA を搭載する SX-USB2 ボードでは、M4K メモリブロックを 2 個使用します。



<図 4. iSRAMFIFO モジュールの設定例 (oSRAMFIFO の場合も同様です)>

## 2.4 アドレス・マップ

AVALON-MM マスタモジュール(GPIF\_Master)から見たアドレスマップを示します。

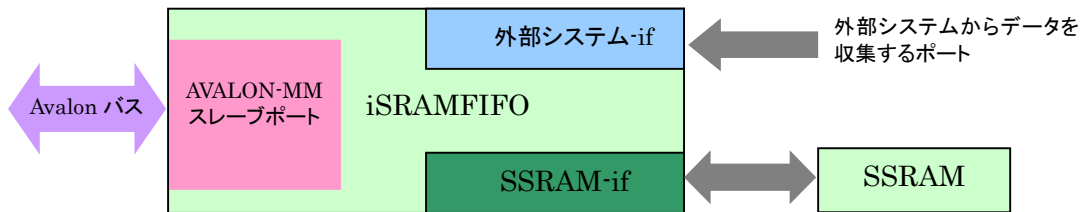
FIFO データポートへのアクセスは 32 ビットだけに対応しています。8 ビット/16 ビットのアクセスは行えません。

	iSRAMFIFO モジュールの場合	oSRAMFIFO モジュールの場合
offset + 0	FIFO データポート(Read のみ)	FIFO データポート(Write のみ)
offset + 4	FIFO ステータスポート(Read のみ)	FIFO ステータスポート(Read のみ)

<表 1. アドレスマップ>

## 2.5 iSRAMFIFO モジュール・ポートの詳細

ボード外部からデータを PC に収集するときに使用する「iSRAMFIFO モジュール」のポートを示します。図 5 で示す通り、モジュールとして 3 ポートを備え、この内 AVALON-MM スレーブ・ポートは、Qsys で作成したシステム・モジュールには表示されません。FPGA プロジェクト内では、トップモジュールで「外部システム-if」ポートと「SSRAM-if」ポートをそれぞれ、FPGA 内部ロジックや FPGA ピンに配線します。



<図 5. iSRAMFIFO モジュールのポート>

### 2.5.1 AVALON-MM スレーブ・ポート

AVALON-MM マスタ・モジュール(GPIF\_Master)と接続する、Avalon-MM スレーブ・ポートの詳細を示します。Qsys で生成したモジュールには表示されないポートです。

#### 【FIFO データポート】

GPIF\_Master が、FIFO 化された SRAM からデータをリードするポートです。

ポート名	bit31～bit0
R/W 方向	Read のみ
ビットアサイン	FIFO データポート

<表 2. AVALON スレーブ・ポートの詳細(1)>

#### 【FIFO ステータスポート】

RFIFO の各種ステータスを取得できます(図 2 のブロック図を参照してください)。(注)SRAMFIFO 全体のステータスでは無く、AVALON バス側にある小容量の FIFO(RFIFO)のステータスです。

	bit31～bit18	bit17	bit16	bit15～bit9	bit8～bit0
ビットアサイン (Read のみ)	未使用(0 固定)	RFIFO_EMPTY	RFIFO_FULL	未使用(0 固定)	RFIFO_USEDW
RFIFO_EMPTY	1 : RFIFO が Empty であることを示します。 0 : RFIFO が Empty でないことを示します。  RFIFO が Empty の時に FIFO データポートを読み出すと、RFIFO にデータが書き込まれるまでバスがロックしてしまいます。注意してください。				
RFIFO_FULL	1 : RFIFO が Full であることを示します。 0 : RFIFO が Full になっていないことを示します。				
RFIFO_USEDW	RFIFO に書き込まれているデータ数を示します。 最大で 256 ワード(100h)です。				

<表 4. AVALON スレーブ・ポートの詳細(2)>

## 2.5.2 SSRAM-IF ポート

iSRAMFIFO モジュールと SSRAM を接続するためのポートです。データ幅は 32bit 固定ですが、アドレス線の本数は、図 4 で示した “Memory Size(bits)” の設定本数になります。

信号名	機能	属性	備考
ssram_clkin	iSRAMFIFO コアクロック入力	I	FPGA 内部のクロックを接続
ssram_clkout	SSRAM クロック出力	O	SSRAM へ供給数するクロック
ssram_ab	アドレス・バス	O	可変
ssram_db	データ・バス(32bit)	IO	32bit 固定
ssram_bwan	バイトアクセス	O	ボード上で Low レベル固定でも動作します。通常、FPGA から制御します。
ssram_bwbn	バイトアクセス	O	
ssram_bwcn	バイトアクセス	O	
ssram_bwdn	バイトアクセス	O	
ssram_wen	ライトイネーブル	O	FPGA から制御が必要
ssram_cken	クロックイネーブル	O	Low レベルに設定
ssram_zz	スリープ	O	Low レベルに設定
ssram_ftn	フローズルー／パイプラインモード切替	O	必ず、フローズルー・モードで運用 Low レベルに設定
ssram_lbon	リニアバースト	O	Low レベルに設定
ssram_adv	バーストアドレスカウンタ制御	O	Low レベルに設定
ssram_oen	アウトプットイネーブル	O	Low レベルに設定
ssram_csn	チップイネーブル	O	FPGA から制御が必要

<表 5. SSRAM-IF ポートの詳細>

ボード製品により、SSRAM 制御の方法に違いがあります。FPGA のプロジェクト内で配線・接続しなければならない制御線と、ボード上のソルダ・パターンやジャンパ、ディップスイッチの設定を行う制御線があります。

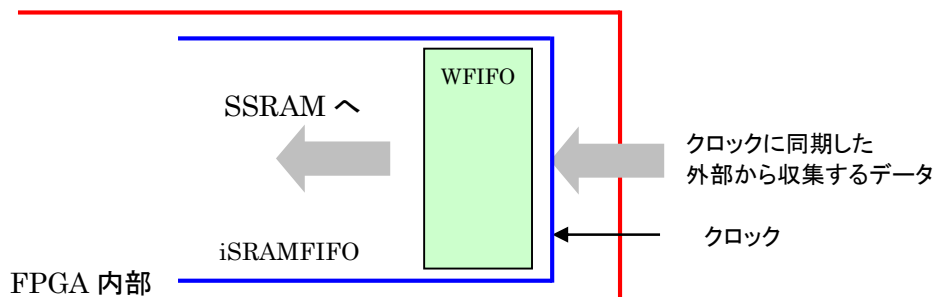
SSRAM の動作モードは、**フローズルー・モードに設定**し、ボード上で FPGA に接続している SSRAM 制御線はすべて FPGA プロジェクト内で配線してください。それ以外の制御線は、備考欄の記載のようにボード上で Low レベルに設定します。



### 2.5.3 外部システム-IF ポート

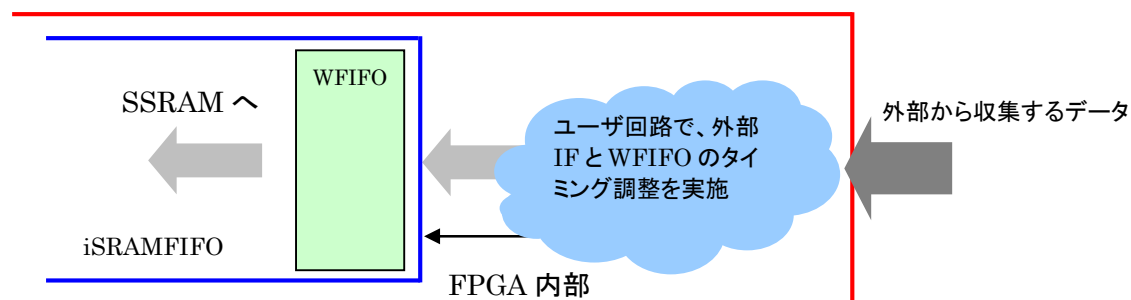
外部システムからデータを収集するためのポートです。8/16/32/64 ビットのデータ幅に対応します。図 4 で示す GUI 画面で、External Data Width(bits) の設定値がデータ幅になります。

外部システム-IF ポートは、図 6 で示す様に FPGA の内蔵メモリを FIFO として使用しているため、信号タイミング仕様は FPGA 製品内蔵メモリのタイミング仕様に準じます。



<図 6. FIFO 部のブロック図>

外部システムとのインタフェース仕様は、ユーザ回路を追加することで自由に変更することができます。図 7 で示す様に FPGA 内部の FIFO ブロック前段にユーザ回路を追加して、外部システムとのインタフェース仕様に適合させます。例えば、外部システムのインタフェースが 128bit のデータ幅の場合、iSRAMFIFO の外部システム-IF ポートでは直接対応できませんが、ユーザ回路により 64bit 2 ワードに組み下げることで対応することができます。



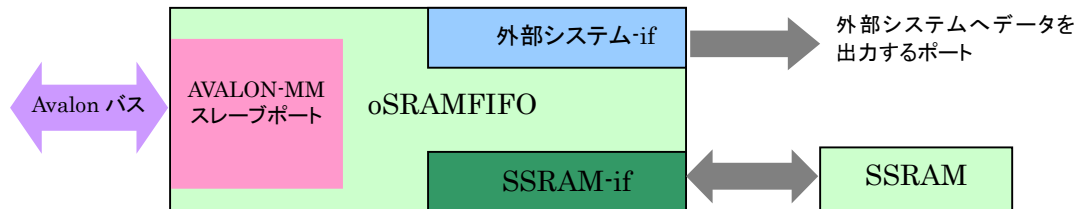
<図 7. 外部インタフェース仕様のカスタマイズ>

信号名	機能	属性	備考
wr_clk	WFIFO のライトクロック	I	
wr_data	WFIFO データ入力	I	8/16/32/64 ビット可変
wr_req	WFIFO-ライトリクエスト	I	Hレベルでデータを WFIFO に書き込み
wr_empty	WFIFO-EMPTY	O	WFIFO に何もデータが書き込まれていない
wr_full	WFIFO-FULL	O	WFIFO に空き容量がない
wr_usedw	WFIFO に書き込まれているデータのワード数	O	信号本数 9~11(可変)

<表 6. 外部システム-IF ポートの詳細>

## 2.6 oSRAMFIFO モジュール・ポートの詳細

PC からボード外部へデータを出力するときに使用する「oSRAMFIFO モジュール」のポートを示します。図 8 で示す通り、モジュールとして 3 ポートを備え、この内 AVALON-MM スレーブ・ポートは、Qsys で作成したシステム・モジュールには表示されません。FPGA プロジェクト内では、トップモジュールで「外部システム-if」ポートと「SSRAM-if」ポートをそれぞれ、FPGA 内部ロジックや FPGA ピンに配線します。



<図 8. oSRAMFIFO モジュールのポート>

### 2.6.1 AVALON-MM スレーブ・ポート

AVALON-MM マスタ・モジュール(GPIF\_Master)と接続する、Avalon-MM スレーブ・ポートの詳細を示します。Qsys で生成したモジュールには表示されないポートです。

#### 【FIFO データポート】

GPIF\_Master が、FIFO 化された SRAM にデータをライトするポートです。

ポート名	bit31～bit0
R/W 方向	Write のみ
ビットアサイン	FIFO データポート

<表 7. AVALON スレーブ・ポートの詳細(1)>

#### 【FIFO ステータスポート】

WFIFO の各種ステータスを取得できます(図 3 のブロック図を参照してください)。(注)SRAMFIFO 全体のステータスではなく、AVALON バス側にある小容量の FIFO(WFIFO)のステータスです。

	bit31～bit18	bit17	bit16	bit15～bit9	bit8～bit0
ビットアサイン (Read のみ)	未使用(0 固定)	WFIFO_EMPTY	WFIFO_FULL	未使用(0 固定)	WFIFO_USEDW
WFIFO_EMPTY	1 : WFIFO が Empty であることを示します。 0 : WFIFO が Empty でないことを示します。  WFIFO が Full の時に FIFO データポートに書き込むと、WFIFO に空きができるまでバスがロックしてしまいます。注意してください。				
WFIFO_FULL	1 : WFIFO が Full であることを示します。 0 : WFIFO が Full になっていないことを示します。				
WFIFO_USEDW	WFIFO に書き込まれているデータ数を示します。 最大で 256 ワード(100h)です。				

<表 8. AVALON スレーブ・ポートの詳細(2)>



## 2.6.2 SSRAM-IF ポート

oSRAMFIFO モジュールと SSRAM を接続するためのポートです。データ幅は 32bit 固定ですが、アドレス線の本数は、図 4 で示した “Memory Size(bits)” の設定本数になります。

信号名	機能	属性	備考
ssram_clkin	iSRAMFIFO コアクロック入力	I	FPGA 内部のクロックを接続
ssram_clkout	SSRAM クロック出力	O	SSRAM へ供給数するクロック
ssram_ab	アドレス・バス	O	可変
ssram_db	データ・バス(32bit)	IO	32bit 固定
ssram_bwan	バイトアクセス	O	ボード上で Low レベル固定でも動作します。通常、FPGA から制御します。
ssram_bwbn	バイトアクセス	O	
ssram_bwcn	バイトアクセス	O	
ssram_bwdn	バイトアクセス	O	
ssram_wen	ライトイネーブル	O	FPGA から制御が必要
ssram_cken	クロックイネーブル	O	Low レベルに設定
ssram_zz	スリープ	O	Low レベルに設定
ssram_ftn	フロースルー／パイプラインモード切替	O	必ず、フロースルー・モードで運用 Low レベルに設定
ssram_lbon	リニアバースト	O	Low レベルに設定
ssram_adv	バーストアドレスカウンタ制御	O	Low レベルに設定
ssram_oen	アウトプットイネーブル	O	Low レベルに設定
ssram_csn	チップイネーブル	O	FPGA から制御が必要

<表 9. SSRAM-IF ポートの詳細>

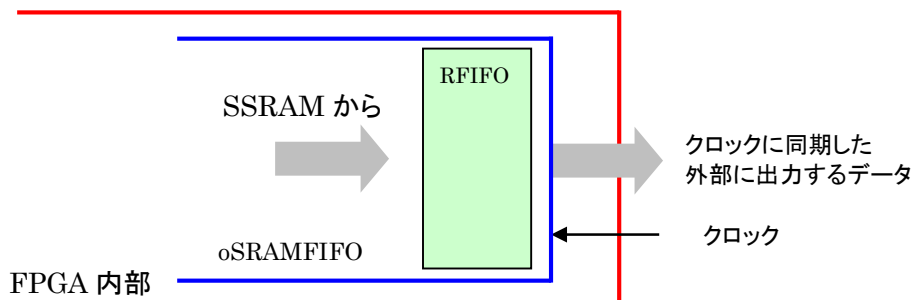
ボード製品により、SSRAM 制御の方法に違いがあります。FPGA のプロジェクト内で配線・接続しなければならない制御線と、ボード上のソルダ・パターンやジャンパ、ディップスイッチの設定を行う制御線があります。

SSRAM の動作モードは、**フロースルー・モードに設定**し、ボード上で FPGA に接続している SSRAM 制御線はすべて FPGA プロジェクト内で配線してください。それ以外の制御線は、備考欄の記載のようにボード上で Low レベルに設定します。

### 2.6.3 外部システム-IF ポート

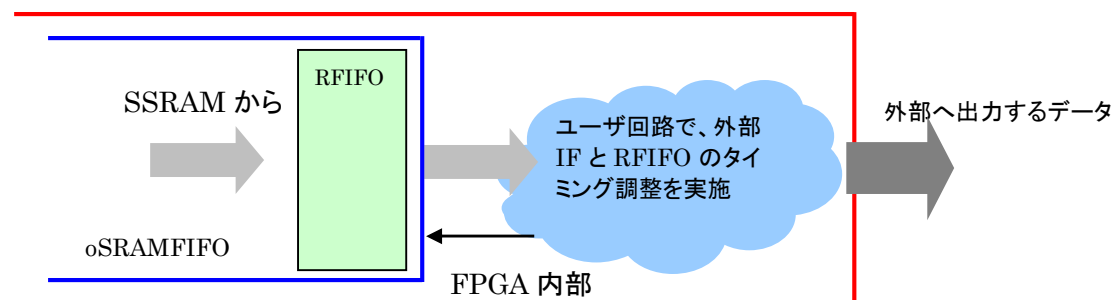
外部システムからデータを収集するためのポートです。8/16/32/64 ビットのデータ幅に対応します。図 4 で示す GUI 画面で、External Data Width(bits) の設定値がデータ幅になります。

外部システム-IF ポートは、図 9 で示す様に FPGA の内蔵メモリを FIFO として使用しているため、信号タイミング仕様は FPGA 製品内蔵メモリのタイミング仕様に準じます。



<図 9. FIFO 部のブロック図>

外部システムとのインタフェース仕様は、ユーザ回路を追加することで自由に変更することができます。図 10 で示す様に FPGA 内部の FIFO ブロック後段にユーザ回路を追加して、外部システムとのインタフェース仕様に適合させます。例えば、外部システムのインタフェースが 128bit のデータ幅の場合、oSRAMFIFO の外部システム-IF ポートでは直接対応できませんが、ユーザ回路により 64bit 2 ワードに組み上げることで対応することができます。



<図 10. 外部インタフェース仕様のカスタマイズ>

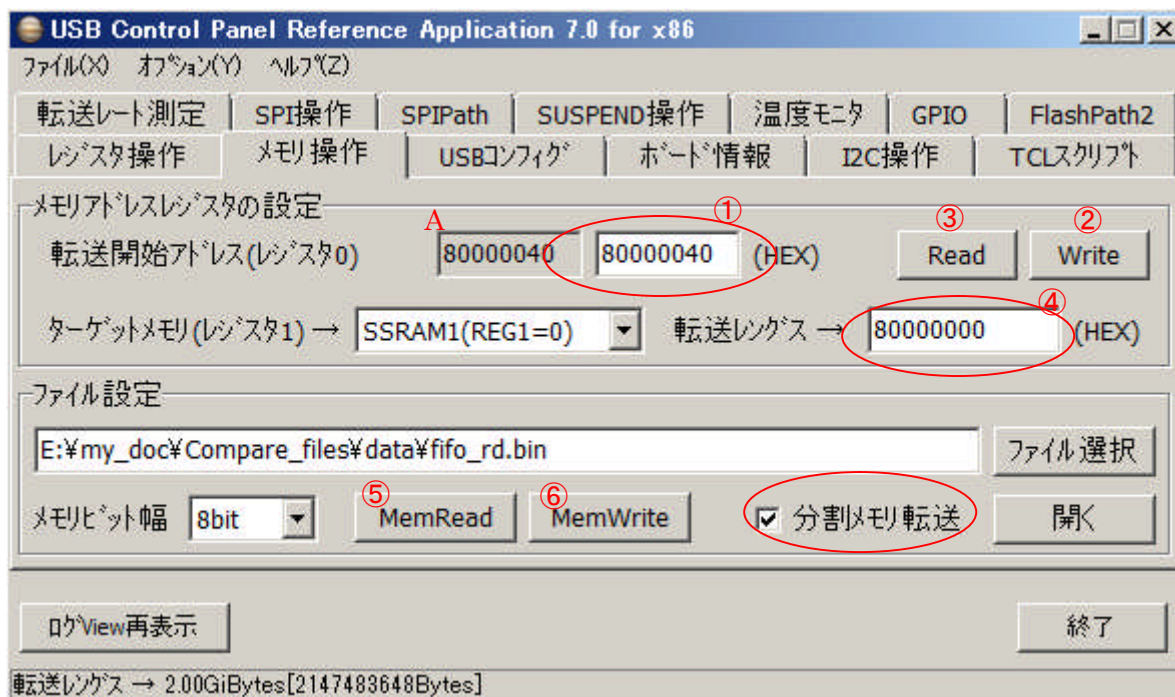
信号名	機能	属性	備考
rd_clk	RFIFO のライトクロック	I	rd_data に同期したクロック
rd_data	RFIFO データ入力	O	8/16/32/64 ビット可変
rd_req	RFIFO-リードリクエスト	I	Hレベルでデータを RFIFO から読み出し
rd_empty	RFIFO-EMPTY	O	RFIFO に何もデータが書き込まれていない
rd_full	RFIFO-FULL	O	RFIFO に空き容量がない
rd_usedw	RFIFO に書き込まれているデータのワード数	O	信号本数 9~11(可変)

<表 10. 外部システム-IF ポートの詳細>

### 3. モジュールの使用方法

GPIF-AVALON ブリッジ(GPIF\_Master) をバスマスタとして構成した FPGA プロジェクトでは、制御アプリケーション“RefApp2”や“RefApp3.exe”、“RefApp7.exe”の「メモリ操作」画面で制御できます。

RefApp2 の場合、PC に搭載したメインメモリの空き容量が転送データの限界になります。2GB を超えるようなデータ転送を行う場合には、RefApp7 を利用してください。RefApp7 では、「メモリライト」ボタンの右横に“分割メモリ転送”チェックボックスがあります。この機能にチェックをすることで、メインメモリの空き容量に関係なく、PC の空き HDD 容量に依存したデータ転送ができます。詳細は、SmartUSB 技術サポートサイトのページを参考にしてください。[http://www.smartusb.info/article.php/Refapp7\\_mem\\_transfer](http://www.smartusb.info/article.php/Refapp7_mem_transfer)



<図 11. 制御アプリケーション “RefApp7.exe” のメモリ操作画面>

#### 【設定手順 (iSRAMFIFO モジュールの場合)】

- ① 「転送開始アドレス」に iSRAMFIFO モジュールのデータポート・アドレスを設定します。図 2 で示す Qsys のベースアドレスです。  
但し、GPIF-AVALON ブリッジは、カレントアドレスをインクリメントしないモードを使用するので、メモリ転送開始アドレスの最上位の BIT31 には必ず「1」をセットしてください。  
SRAMFIFO モジュールのデータポートが “00000040”h の場合には “80000040”h と指定します。
- ② Write ボタンをクリックして設定します。
- ③ Read ボタンをクリックして正しく設定したか確認してください。読み出したデータは図 11 中の“A”で示す窓に表示します。
- ④ PCに収集したいデータ量を指定します。図 11 の例では、“80000000” hなので、2GB のデータを収集し、「ファイル設定」で指定したファイルを生成します。分割メモリチェックボックスにチェックを入れてください。
- ⑤ 「メモリリード」ボタンをクリックするとデータ収集を開始し、No.4 で設定したデータ量を収集し終わるとファイル化してメモリリード動作を終了します。

oSRAMFIFO モジュールの場合も手順①～③まで同じです。出力したいデータのファイルを選択して、ファイル容量以下になるように転送レングスを設定し、⑥「メモライト」ボタンをクリックするとデータ出力が始まります。

(注意) 転送レングスは 512 バイト単位になるように設定してください。

## 4. データ転送レート

USB インタフェースの実効データ転送レートは、平均 40MB/s です。このデータ転送レートを得るには、「RefApp7.exe」を適用してください。従来の RefApp2.exe 制御アプリでは、USB 実効データ転送レートは、約 16MB/s になります。

制御ソフト名	デバイスドライバ	API(DLL)	USB 実効データ転送レート
RefApp7	Microsoft 社製 WinUSB デバイスドライバ	使用可能	40MB/s
RefApp2	オリジナル専用デバイスドライバ	使用可能	16MB/s

<表 11. USB 実効データ転送レートの違い>

(注) 制御アプリの種類、違いについては、こちらを御覧ください。

<http://www.prime-sys.co.jp/products/refapp.htm>

### 4.1 外部システムとのインタフェース速度

RefApp7 を利用して、USB の実効データ転送レートが平均 40MB/s の場合、SRAMFIFO モジュールと外部システムのデータ転送帯域も約 40MB/s 以下に設定しないと、すべてのデータを正しく通信できなくなります。



<図 12. iSRAMFIFO モジュールを適用してデータ収集する場合のデータ転送レート>

しかし、SRAMFIFO モジュールの外部システム-IF ポートにある、FIFO のステータス信号 (Full, Empty, useddw) を利用して、FIFO のオーバーフロー／アンダーフローを防ぎながら外部システムとインタフェースすることができれば、正しく通信することができます。

外部システムから連続した長時間のデータを収集したり、外部システムへ連続したデータを入力する場合は、USB インタフェース側の実効データ転送レートを超えない範囲で、外部システムとのデータ帯域を決定する必要があります。

## 4.2 動作クロック

SRAMFIFO モジュールには、SSRAM に供給するクロック (SRAM クロック) と外部システムから供給されるクロック (外部クロック) の 2 系統があります(注 1)。

SRAM クロックと外部クロックは任意の周波数で動作させる事ができますが、SRAM クロックは外部クロックに対して十分に早い周波数で動作させる様にしてください。SRAM クロックが外部クロックに対して十分に早くないと性能が低下します。サンプル FPGA 回路では 120MHz で運用しています。

SRAMFIFO モジュールは、FPGA 外部の SSRAM を FlowThrough (フロースルー) モードで使用しています。このため、ボード上にはアクセス速度 200MHz の SSRAM を搭載しても、SRAM クロックの上限は 133MHz になります(注 2)。

(注1) 実際には、AVALON バス用のクロックもあります。

(注2) 200MHz でアクセスするためにはパイプラインモードで運用する必要がありますが、クロックレイテンシが増えるので、SSRAMFIFO モジュールではフロースルーモードを採用しています。

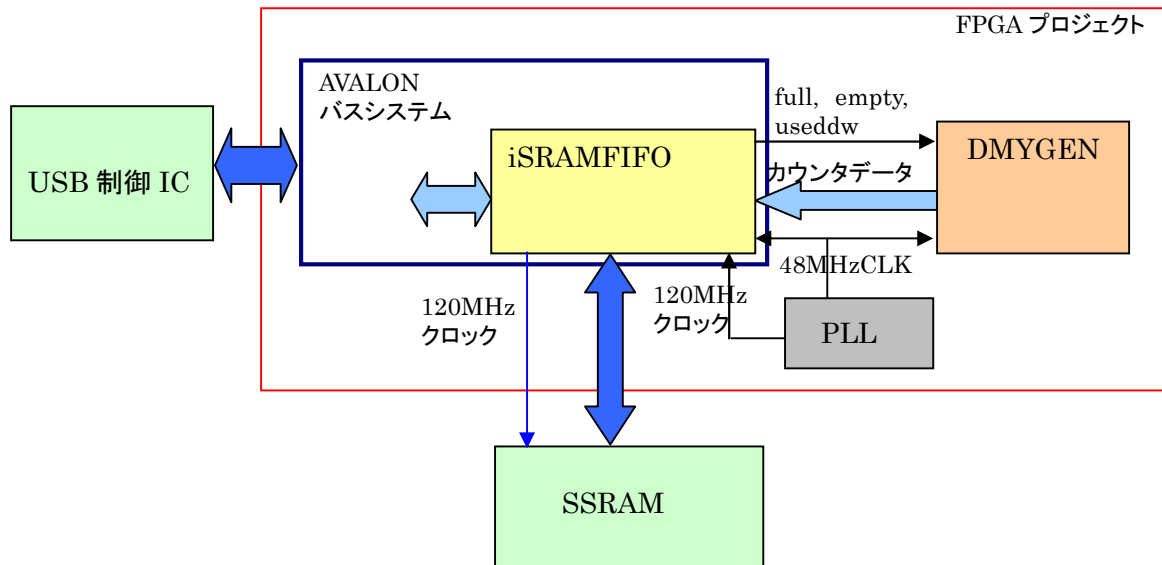
## 5. リファレンス FPGA 回路

### 5.1 シンプルなリファレンス回路

CX-USB2/25C8 システム開発ボードと SX-USB3/70C3 システム開発ボード用に、それぞれ データ収集用回路とデータ出力用回路を用意しています。VerilogHDL 記述の FPGA プロジェクトです。

【データ収集用リファレンス回路 プロジェクト名: [iSRAMFIFO\\_CXUSB2](#) または: [iSRAMFIFO\\_SXUSB3](#)】

FPGA 内部に機能検証用のカウンタ (DMYGEN: 32bit 幅) を配置し、シーケンシャルデータを PC に収集することができます。実際のプロジェクトに応用するには、カウンタ出力する DMYGEN ブロックを削除し、ユーザ回路に置き換えてください。

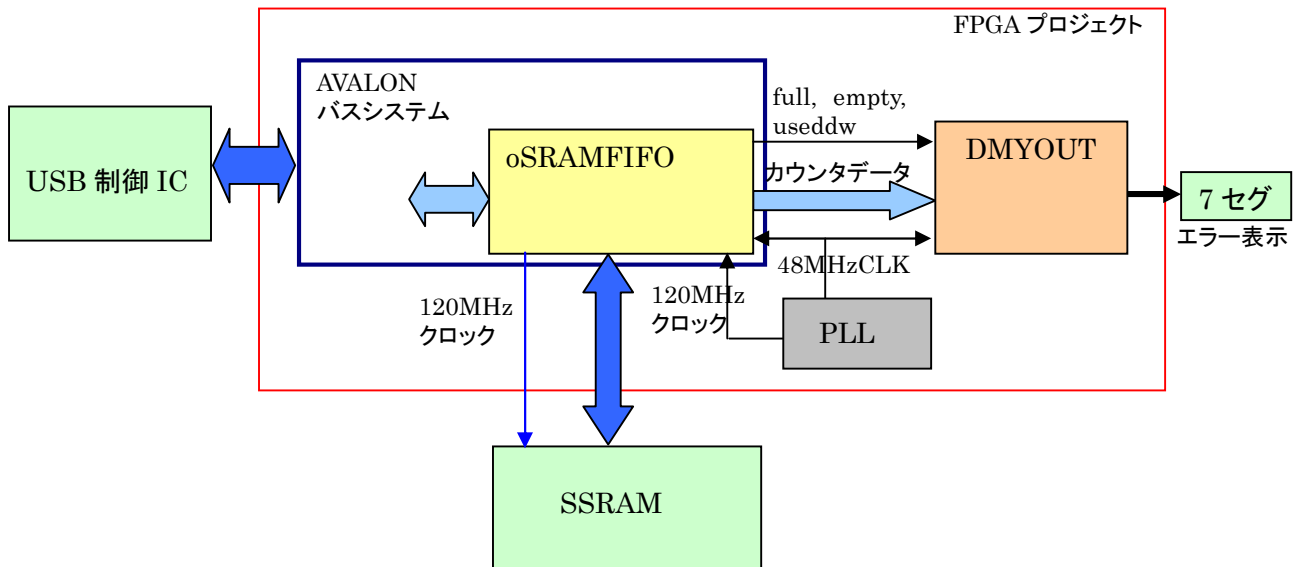


<図 13. iSRAMFIFO 内蔵 FPGA プロジェクトのブロック図>

【データ出力用リファレンス回路 プロジェクト名: [oSRAMFIFO\\_CXUSB2](#) または: [oSRAMFIFO\\_SXUSB3](#)】

FPGA 内部に機能検証用のカウンタ (DMYOUT: 32bit 幅) を配置し、シーケンシャルデータを PC から出力することで動作検証できます。あらかじめデータ収集用リファレンス回路 (iSRAMFIFO\_XXXX) を動作させ、実際にボードからデータを読み出してファイルを用意します。oSRAMFIFO\_XXX プロジェクトで、このファイルを指定し、ボードに書き込んでください。DMYOUT ブロックで生成するカウンタ値と PC から送信されてきたシーケンシャルデータの比較を行い、不一致の場合はボード上の 7 セグに不一致数を表示します。

実際のプロジェクトに応用するには、カウンタ出力する DMYOUT ブロックを削除し、ユーザ回路に置き換えてください。

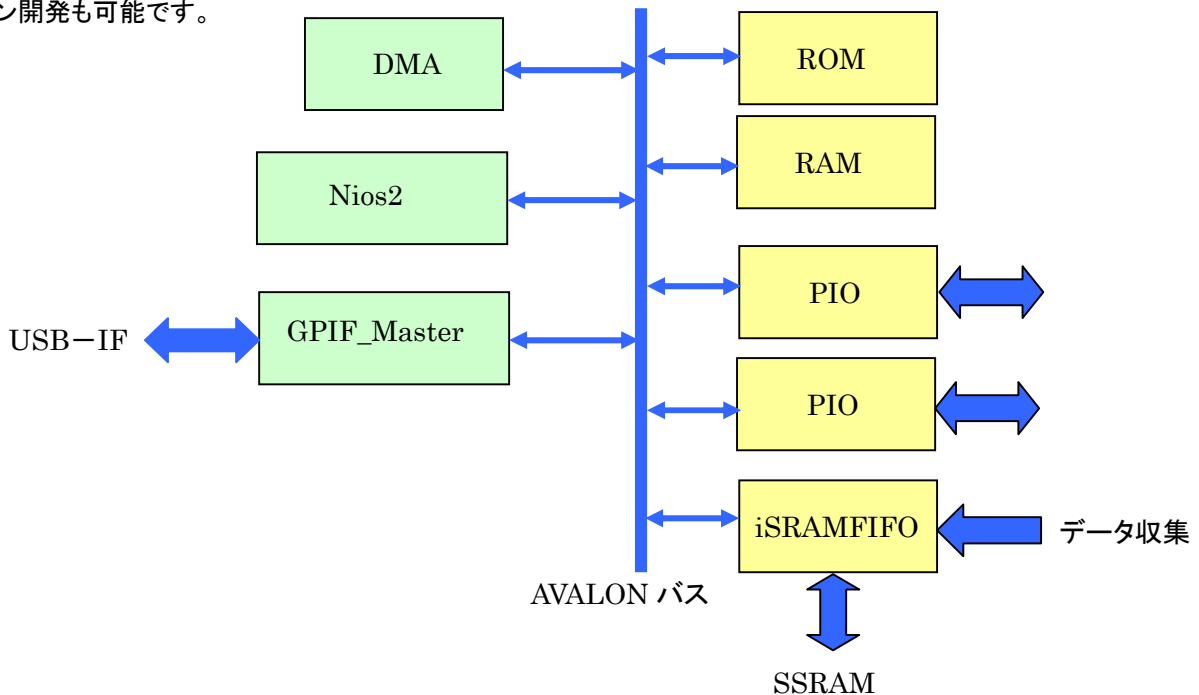


<図 14. oSRAMFIFO 内蔵 FPGA プロジェクトのブロック図>

## 5.2 CPU を混載したシステム設計

Qsys は、アルテラ社の Nios2 ソフト CPU をバス・マスタとした組込みシステムを構築するためのツールです。当社では Nios2 CPU に代わるバス・マスタを開発し、GPIF\_AVALON バスブリッジ回路(GPIF\_Master)としてリリースしています。SRAM-FIFO モジュールは AVALON バス・スレーブなので、バス・マスタの GPIF\_Master が AVALON バス仕様により SRAM-FIFO モジュールを制御しています。

GPIF\_Master は複数のバス・マスタと共存できるので、Nios2-CPU も加えたシステムの開発ができます。iSRAMFIFO モジュールで収集したデータを Nios2 で処理しながら、処理結果を PC に転送するようなアプリケーション開発も可能です。



<図 15. Nios2 と混在したシステム開発の例>





.....

備考:

【サンプル FPGA 回路】

ダウンロード:

【関連資料】 [SUA006.pdf](#) 「GPIF-AVALON ブリッジ回路」解説

【改版履歴】

Ver.3.0 :Qsys に対応。SRAMFIFO モジュールの外部ポートに 64bit 幅を追加。