

SUA001:FPGA に構築する USB 制御回路

1. 概要

Smart-USB 製品は、USB 制御 IC としてサイプレス社の AN2135SC を利用しています。そして、この USB 制御 IC と FPGA がボード上で接続されています。このアプリケーションノートでは、USB 制御 IC とインタフェースを実現するための FPGA 回路について解説します。(下図、赤の点線で囲んだ部分です)

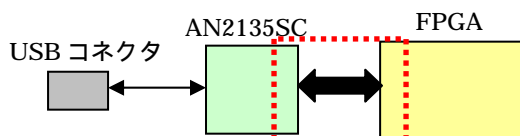


図1. Smart-USB製品の基本構成

1.1 適用ボード種類

- Flex-USB
- AX-USB/SX-USB
- System-AX
- CX-USB

2. USB 制御 IC と

FPGA 間インタフェース仕様

USB 制御 IC と FPGA 間のインタフェースは以下の信号線を使用して行います。

AN2135 ピン名	信号名	FPGA からみた I/O 方向
PC0	CMDn	入力
PC1	ACK64n	出力
PC2	Reserved	システム予約ピン
PC3	RGDTn	入力
PC4	ACKn	出力
PC5	BULKn	出力
PC6	Reserved	システム予約ピン
PC7	Reserved	システム予約ピン
PB[7:0]	USB_DATA	双方向
PA4	FRD n	入力
PA5	FWRn	入力
CK240	CK24	入力

注) システム予約ピンは、FPGA コンパイル時、入力ピンとして取り扱ってください。

主な信号線の概要

信号名 : **CMDn**

信号方向 : AN2135SC FPGA

機能 : USB データバス (PB[7:0]) に送出されたデータが、コマンドかデータかを判定する。

信号名 : **RGDTn**

信号方向 : AN2135SC FPGA

機能 : USB データバス (PB[7:0]) に送出されたデータが、レジスタアクセスかメモリアクセスかを判定する。

信号名 : **BULKn**

信号方向 : AN2135SC FPGA

機能 : FPGA 回路が USB バルク転送の準備ができたことを USB 制御 IC に通知する

信号名 : **FWRn**

信号方向 : AN2135SC FPGA

機能 : USB 制御 IC から FPGA にデータを送信する際、この信号に同期して USB データバス (PB[7:0]) 上にデータを送出する。アクティブ Low。また、この信号は信号名 CK24 の立ち上がりエッジに同期する。

信号名 : **FRDn**

信号方向 : AN2135SC FPGA

機能 : FPGA から USB 制御 IC にデータを送信する際、この信号に同期したデータを USB データバス上に出力する。アクティブ Low。また、この信号は信号名 CK24 の立ち上がりエッジに同期する。

信号名 : **CK24**

信号方向 : AN2135SC FPGA

機能 : USB 制御 IC が出力する 24MHz クロック。各制御信号、データ信号は、このクロックに同期する。FPGA ではこのクロック信号に同期した回路を設計する必要がある。

信号名 : **ACKn**

信号方向 : AN2135SC FPGA

機能 : FPGA 回路内で USB 転送が正しく行われていることを表示する。通常 Low レベル固定。

信号名 : **ACK64n**

信号方向 : AN2135SC FPGA

機能: 64バイトごとのUSBバルク転送を行う場合使用する。Highレベルにすると、USBバルク転送モード状態でFPGAからUSB制御ICへのデータ転送が行われない。Lowレベルにすると、データ転送が行われる。

3. データ転送プロトコル

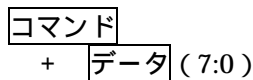
取り扱えるデータビット幅は、8ビット、16ビット、32ビットの3種類です。それぞれ、USB_DATA[7:0]信号線に出力されます。物理的なデータ線が8本しかないので、16ビット以上のデータは、8ビット単位に分割して転送します。

3.1. レジスタアクセス

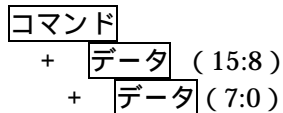
以下に各アクセス時のUSBコントロール転送手順を示します。

USB制御ICからコマンドがFPGAに送出され、その後、WRコマンドなら、データがFPGAに転送されます。RDコマンドなら、FPGAからデータがUSB制御ICに出力されます。

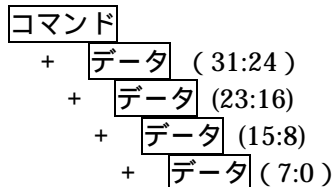
8ビットデータ・アクセスの場合



16ビットデータ・アクセスの場合



32ビットデータ・アクセスの場合



RDの場合、FPGA側でコマンドを解釈し、コマンドに対応したデータをUSB_DATAバス上に送出します。

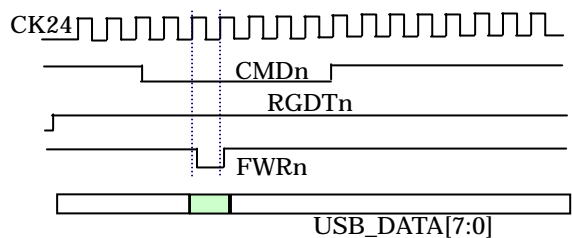
3.1.1 タイミングチャート

コマンド送出時のタイミング

具体例: FPGAに構成したハードウェア・レジスタ(8ビット)に任意の値を書き込む。

FPGA側では、CK24のクロックエッジで、USB_DATAバス上のデータを取り込む。この値がコマンドを示します。コマンドには、アクセス種別(8/16/32ビット)とレジスタNo.指定が含まれています。

FPGAでは、このアクセス種別とレジスタNo.



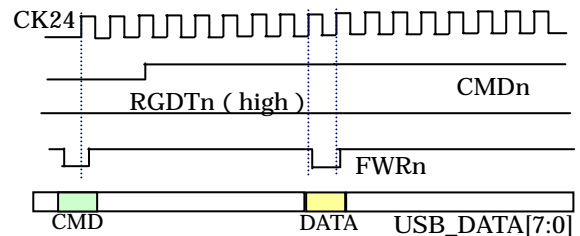
をデコードし、所定のアクセス方法で、指定されたFPGA内レジスタにアクセスします。

コマンド内容

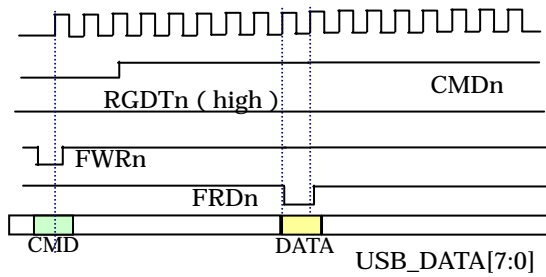
Bit	7	6	5	4	3	2	1	0
内容	アクセス種別		レジスタNo.指定 (63~0)					

アクセス種別
 00; 8ビットアクセス 01; 16ビットアクセス
 10; 32ビットアクセス 11; システム予約

WRコマンド送出時、数十クロック後にコマンドに対応したデータが、FWRn信号とともにFPGAに送出されます(8ビットアクセス時)。このデータが指定されたレジスタに書き込まれます。



RDコマンド送出時、数十クロック後にFRDn信号がFPGAに送出されます。FPGAではこのFRDnを検出し、指定されたレジスタの内容をUSB_DATAバス上に出力します。

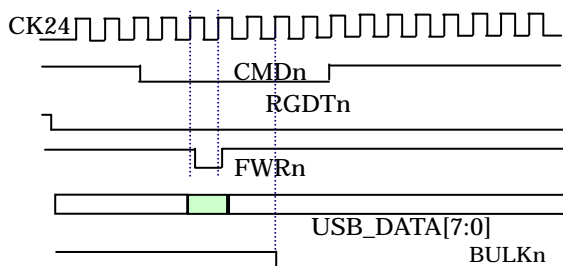
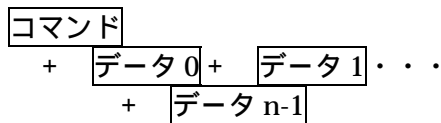


同様に、16ビットおよび32ビットアクセスの場合は添付資料 A を参照下さい。

3.2. メモリアクセス

以下にメモリアクセス手順を示します。

USB 制御 IC からコマンドが FPGA に送われます。WR コマンドなら、データが FPGA に転送されます。RD コマンドなら、FPGA からデータが USB 制御 IC に出力されます。



コマンド内容

Bit	7	6	5	4	3	2	1	0
内容	アクセス種別	Don't care						

アクセス種別

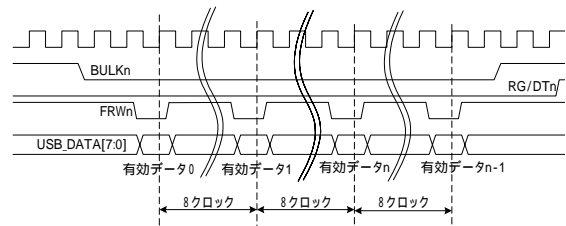
00 ; 8ビットアクセス 01 ; 16ビットアクセス

10 ; 32ビットアクセス 11 ; システム予約

CMDn 信号が Low アクティブの時、RGDTn 信号が Low レベルになると、ホスト PC がターゲット (ボード) にバルク転送を要求していることを示します。FPGA では、バルク転送要求とアクセス種別を検出し、BULKn 信号を Low アクティブにします。FPGA 側が

BULKn 信号をアクティブにすると、USB 制御 IC はバルク転送が可能な状態にあると判断し、データ転送を開始します。

以下の図では、メモリアクセス・コマンドの WR 動作を示します。BULKn が Low アクティブ後、最初にアクティブになる FWRn 以後、順次データが USB 制御 IC から FPGA に送信されます。FWRn がアクティブになる間隔は、最短で 8 クロック間隔です



同様に RD 時には、上記タイミング図で FWRn 信号の代わりに FRDn 信号が FPGA に出力されます。

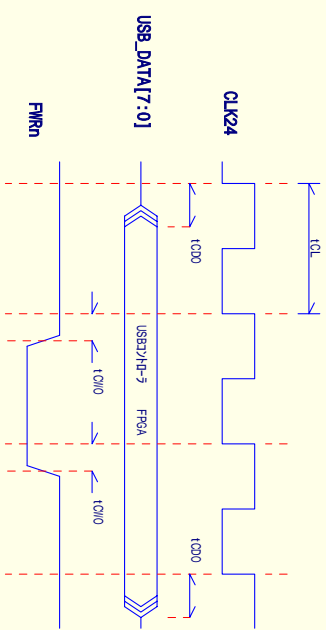
備考:

Ver1.2 タイミングチャート追加

添付資料 A

USB 制御 IC と FPGA 間のタイミングチャート

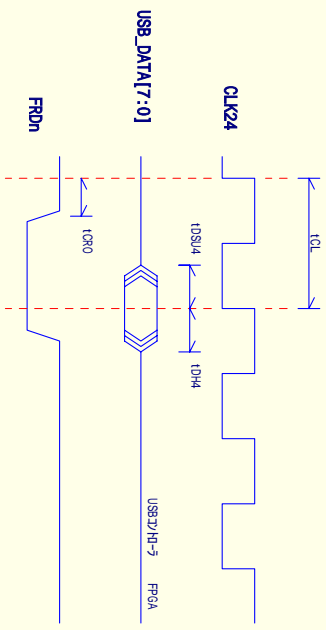
1.1. Fast Transfer Write Timing.



Symbol	Parameter	Min	Typ	Max
tCL	1/CLK24 Frequency		41.7	
tDIO0	Data Setup to Rising CLK24	3		15
tDIO	Data Setup to Rising CLK24	2		10

単位はナノメートル ns
CYPRESS「2100Series Technical Reference Manual」より抜粋

2.2. Fast Transfer Read Timing.

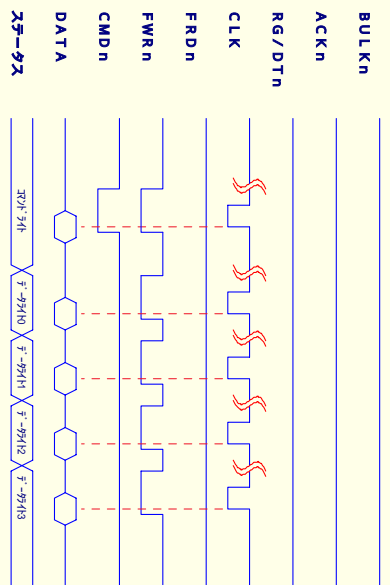


Symbol	Parameter	Min	Typ	Max
tCL	1/CLK24 Frequency		41.7	
tDSI/4	Data Setup to Rising CLK24	12		
tDHI4	Data Setup to Rising CLK24	0		
tDIO	Clock to Data Read Output Delay	2		10

単位はナノメートル ns
CYPRESS「2100Series Technical Reference Manual」より抜粋

Title		Prime Systems Inc.	
フラスターメモリー基本タイミング		3-36-4 Yaku	
Size/No	Number: 0	Revision: 0.1	Japan
File: Fast11m00_SSH_Data: 2.10m-2004		Time: 10:44:22	Sheet: 1 of 1
Design by		M. YOSHIDA	

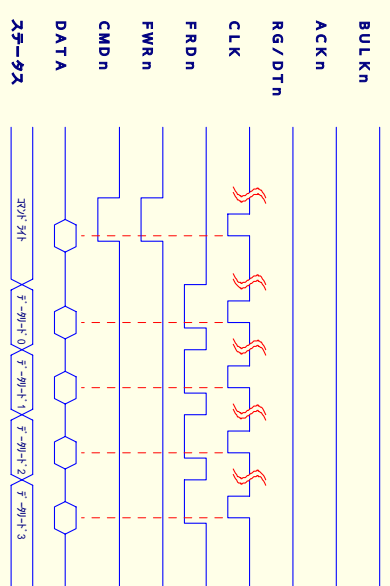
1). リスタア



注). 補足説明

最初のコマンド発行によって、FPGA内リスタアのビット長ワードホリスを指定します。
 テーグワードは、コマンドで指定したリスタア回行なわれます。(1, 2, 4回)
 リスタアワードは、LSB側より書き込まれます。
 フラッシュウェアは、FPGA内のリスタアワードホリスとリスタアワードの関係を、
 管理していませんので、ホスト及びFPGA回路にて管理/対応してください。
 (コマンドによっては、8ビットリスタアに32ビットの書き込み等の動作をします。)
 AN2135版ハードウェアでは、RDn及びWRnは使用しません。

2). リスタア

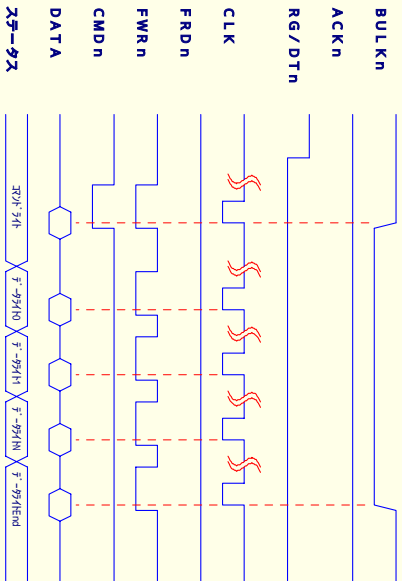


注). 補足説明

最初のコマンド発行によって、FPGA内リスタアのビット長ワードホリスを指定します。
 テーグワードは、コマンドで指定したリスタア回行なわれます。(1, 2, 4回)
 リスタアワードは、LSB側より読み込まれます。
 FPGAはFRDn = "0" を検出して、データをポートにデータをセットします。
 AN2135版ハードウェアでは、ACKnは使用しません。ACKnはGNDレベルに固定してください
 AN2135版ハードウェアでは、RDn及びWRnは使用しません。
 フラッシュウェアは、FPGA内のリスタアワードホリスとリスタアワードの関係を、
 管理していませんので、ホスト及びFPGA回路にて管理/対応してください。
 (コマンドによっては、8ビットリスタアに32ビットの読み込み等の動作をします。)

TITLE		Prime Systems Inc.	
リスタア/Wタイミンチャート(2135版)		3-36-4, Tokyo	
Size: A3	Number: 0	Isurumi Saku	
File: R0102135_S01.DWG	Revision: 0	Japan	
Print: R0102135_S01.DWG	Time: 10:48:43	Sheet: 1 of 1	
Design by		M. TOSHIDA	

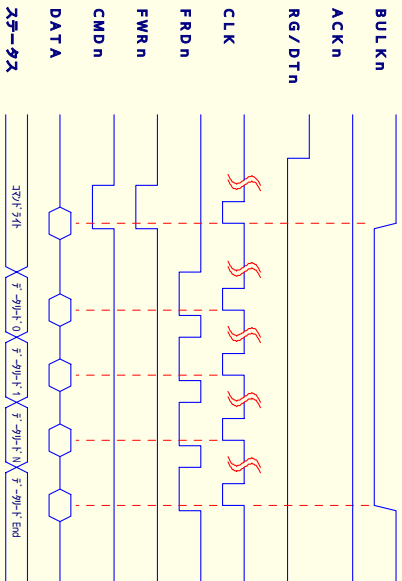
1. データライト



注). 補足説明

最初のコマンド実行によって、FPGAのメモリアドレスへの初期値のロード及びメモリのリフレッシュを指定します。(8, 16, 32ビット)
 データのバリエーション変更(16ビット又は、32ビットへの)は、FPGAにて行います。
 データライトは、LSBより行われます。
 フォームよりのコマンド実行によって、FPGAはBULK nをプログラムにします。
 (BULK nがプログラクになるど、フォームはメモリアドレスのバスに書き込みを開始します。)
 (バスに書き込みは64バイト又は1バイト単位で書き込まれます。)
 (FPGAはメモリアドレスがリセットになった後に書き込まれるデータは無視します。)
 BULK nはフォームよりのバリエーションコマンドでリセットすることができず、
 フォームはメモリアドレス送完了後に、バリエーションコマンドを実行します。
 データライトはBULK n = "1"又は、バリエーションコマンドが実行されるまで連続で行われます。
 AN2135版のソフトウェアでは、RDn及びWRnは使用しません。
 RGD TNは、最初のコマンド実行より1クロック以上前に"L"に設定されます。
 (BULK nが"L"の間はプログラクが保証されます。)

2. データリード



注). 補足説明

最初のコマンド実行によって、FPGAのメモリアドレスへの初期値のロード及びメモリのリフレッシュを指定します。(8, 16, 32ビット)
 データのシリアル変換(8ビットへの)は、FPGAにて行います。
 データリードは、LSBより行われます。
 フォームよりのコマンド実行によって、FPGAはBULK nをプログラムにします。
 (BULK nがプログラクになるど、フォームはメモリアドレスのバスに読み込みを開始します。)
 (バスに読み込みは64バイト又は1バイト単位で書き込まれます。)
 BULK nはフォームよりのバリエーションコマンドでリセットすることができず、
 フォームはメモリアドレス送完了後に、バリエーションコマンドを実行します。
 データリードはBULK n = "1"又は、バリエーションコマンドが実行されるまで連続で行われます。
 (FPGAはFRDN = "0"を検出して、データポートにデータをセットします。
 AN2135版のソフトウェアでは、RDn及びWRnは使用しません。
 AN2135版のソフトウェアでは、ACK nは使用しません。GNDに固定してください。
 RGD TNは、最初のコマンド実行より1クロック以上前に"L"に設定されます。
 (BULK nが"L"の間はプログラクが保証されます。)

TITLE		Prime Systems Inc.	
チップR/Wタイミング(2135版)		3-36-4 Tokyo	
Size: A3		Isurumi Shi	
Number: 0	Revision: A	Japan	
FILE: DATA/AN2135/SDA/AN2135-011		Time: 10:52:01 Sheet: 1 of 1	
Design by		M. TOSHIDA	